



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 02119173 A

(43) Date of publication of application: 07.05.90

(51) Int. Cl

**H01L 27/08**  
**H01L 21/74**  
**H01L 21/76**  
**H01L 27/108**  
**H01L 29/48**  
**H01L 29/784**  
**H01L 29/91**

(21) Application number: 63270652

(22) Date of filing: 28.10.88

(71) Applicant: HITACHI LTD

(72) Inventor: GOSHIMA HIDEKAZU  
KASHU NOBUYOSHI  
OYU SHIZUNORI  
SUZUKI TADASHI

## (54) SEMICONDUCTOR DEVICE

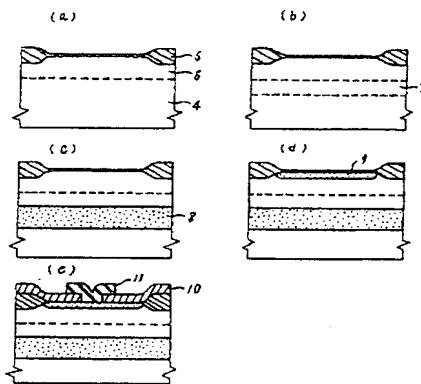
## (57) Abstract:

PURPOSE: To suppress the leakage current of a p-n junction and save the power consumption and realize high speed operation by a method wherein a first buried impurity layer of p-type which is the conductivity type of a substrate and an n-type second buried impurity layer are formed and the higher maximum impurity concentration is given to the second impurity layer.

CONSTITUTION: After an element isolation oxide film 5 is formed on a substrate 4, boron B ions are implanted to form a B-implanted layer 6. Then a first buried impurity layer 7 of p-type which is the conductivity type of the substrate 4 is formed and, in a region deeper than the layer 7, a second buried layer 8 having the higher maximum impurity concentration is formed. If the impurity is activated by annealing in a nitrogen atmosphere, the layer 6, layer 7 and layer 8 are turned into a p-type layer, a p-type buried layer and an n-type buried layer respectively. Then As ions are implanted and a high impurity concentration n-type region 9 is formed in the surface of the substrate 4 by annealing to form a p-n junction. With this constitution, the surface integral of the leakage current of the p-n junction can be suppressed and the power consumption of an LSI can

be saved and the high speed operation of the LSI can be realized.

COPYRIGHT: (C)1990,JPO&amp;Japio



## ⑫ 公開特許公報 (A)

平2-119173

⑬ Int. Cl.<sup>5</sup>  
H 01 L 27/08識別記号  
331 C  
7735-5F  
8422-5F  
7638-5F府内整理番号  
H 01 L 29/78  
29/91⑭ 公開 平成2年(1990)5月7日  
301 X  
C※

審査請求 未請求 請求項の数 3 (全6頁)

## ⑮ 発明の名称 半導体装置

⑯ 特 願 昭63-270652

⑯ 出 願 昭63(1988)10月28日

⑰ 発明者 五嶋秀和	東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑰ 発明者 夏秋信義	東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑰ 発明者 大湯 静憲	東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑰ 発明者 鈴木匡	東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑰ 出願人 株式会社日立製作所	東京都千代田区神田駿河台4丁目6番地
⑰ 代理人 弁理士 小川勝男	外1名

最終頁に続く

## 明細書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

1. 逆バイアスを印加して用いる p-n 接合を表面に有する半導体基板の内部に、該 p-n 接合よりも深い部分で不純物濃度が最大となる該半導体基板と同じ導電型の第1の埋め込み不純物層を有するとともに、第1の埋め込み不純物層よりも深い領域に該半導体基板と反対の導電型の第2の埋め込み不純物層を有し、かつ、第2の埋め込み不純物層の最大不純物濃度を第1の埋め込み不純物層の最大不純物濃度と同じかもしくは高くすることを特徴とする半導体装置。

2. 上記第1及び第2の埋め込み不純物層をイオン打込みにより形成することを特徴とする特許請求の範囲第1項に記載の半導体装置の製造方法。

3. 請求項1記載の半導体装置において、半導体基板表面に上記 p-n 接合に代えてショットキ接

合を備えた半導体装置。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、MOS-FETにおけるドレイン接合等、逆バイアスを印加して使用される p-n 接合のリーク電流を減少させた半導体装置及びその製造方法に関するものである。

## 〔従来の技術〕

従来、例えばニュークリア・インストルメンツ・アンド・メソズ イン フィジクス リサーチ (Nuclear Instruments and Methods in Physics Research) B 21 (1987年) 第163から167頁に記載されているように、CMOS素子におけるラッチアップ現象の抑制やα線ソフトエラー対策等のために、p型半導体基板内部に基板と同じ p 型の不純物の埋め込み層を形成していた。

基板内部に高濃度の不純物埋め込み層を設けること、基板の抵抗率を下げるこによって、CMOS素子に生じる寄生サイリスタを動作しにくくし、ラッチアップの発生を抑制することがで

きる。また、 $\alpha$ 線入射によって生じた電子は、高濃度の埋め込み層に阻れて、基板表面の能動領域に達することができないので、ソフトエラーが発生しにくくなる。

さらに、アイ・イー・イー・イー・トランサクション・オン・エレクトロン・デバイスイーズ、イー・ディー-29(1982年)第725~731頁(I E E E Trans. Electron Devices ED29 (1982) pp.725~731)に記載されているように、基板と反対のn型にグリッド状の埋め込み層を設けることによって、ソフトエラーをさらに効果的に抑えることができる。すなわち、 $\alpha$ 線によって基板深部に生じた過剰電子はn型のグリッド部に収集され、基板表面の能動領域には達せず、そのためソフトエラーが抑制される。

#### [発明が解決しようとする課題]

しかし、上記従来技術は、ソフトエラーやラッチアップを抑制するためになされたもので、素子に含まれるドレイン等のpn接合のリーク電流の低減についての配慮はなされていない。そのため、

この様な第1及び第2の埋め込み不純物層2、3はイオン打込みを用いて形成することができる。

#### [作用]

上記の方法を用いることにより問題点が解決される理由を以下に述べる。

基板と反対の導電型の第2の埋め込み不純物層を基板内部に設けることにより、これより浅い基板付近の領域が、基板の下層部分と電気的に絶縁され、実質的に薄い基板が得られたことと同等になる。第2の埋め込み不純物層を適当な深さに形成することにより、この基板表面層の厚さを、基板中の少数キャリアの拡散長よりも短くできる。それによって、基板表面に形成したpn接合に、逆バイアス時に流れる拡散電流は、基板が十分に厚い場合の拡散電流よりも小さくなるので、pn接合のリーク電流を減少させる効果がある。第2の埋め込み不純物層をグリッド状に形成すると、グリッドの穴の部分を通して基板下層にキャリアが流れてしまうため、埋め込み不純物層を形成したことの効果が大きく減少してしまう。したがつ

て、pn接合のリーク電流を、埋め込み不純物層を形成しない場合と比較して、同程度以下とすることは困難であった。そして上記接合のリーク電流が低減できないと、大規模集積回路の動作速度が遅くなる等の問題が生じる。

本発明の目的は、ソフトエラーやラッチアップを抑制しながら、同時にpn接合のリーク電流を減少させた半導体装置を提供すること、また、それによって、大規模集積回路の高速動作を可能にすることにある。

#### [課題を解決するための手段]

上記目的を達成するため本発明においては、第1図に示すように、基板1と同じ導電型の第1の埋め込み不純物層2及び上記第1の埋め込み不純物層よりも深い領域に、基板1と反対の導電型の第2の埋め込み層3を形成する。また、本発明においては埋め込み不純物層を面状に形成し、上記第2の埋め込み不純物層3の最大不純物濃度を第1の埋め込み不純物層2の最大不純物濃度と同程度もしくはそれ以上とすることが重要である。

て、第2の埋め込み不純物層は面状に形成しなければならない。

本発明では、基板表面層と第2の埋め込み不純物層と基板下層とによって構成された寄生バイポーラトランジスタが生じる。この寄生バイポーラトランジスタが動作すると素子に悪影響を及ぼすため、その動作を抑制する必要がある。そのためには、ラッチアップの抑制の場合と同様に、第2の埋め込み不純物層の不純物濃度を高くして、寄生バイポーラトランジスタの電流増幅率を低くすればよい。その不純物濃度は、第1の埋め込み不純物層の不純物濃度と同程度かそれ以上であればよい。

また、第2の埋め込み不純物層は、前記した後者の従来技術におけるグリッド状の埋め込み層と同様に、ソフトエラーの抑制に有効である。

第1及び第2の埋め込み不純物層をイオン打込みで形成することにより、第1及び第2の埋め込み不純物層を精度よく、しかも簡便に形成することができる。

尚、本発明においてイオン打込みを行なった場合、イオン打込みの際の損傷はその後のアニールによって回復することができる。例えばSi基板表面に $10^{13} \text{ cm}^{-2}$ 程度の打込みを行なった場合には、アニール温度が上がるとともにリーク電流（イオン打込み損傷の指標となる）が減少し、900°C以上ではイオン打込みを行なわないものと同等のリーク電流量となる。アニール時間としては30分以上程度が好ましい。

#### 〔実施例〕

以下、本発明の実施例を第2図乃至第7図を用いて説明する。

#### 〔実施例1〕

第2図はpn接合ダイオードに本発明を実施した時の製造工程の概略を示す。

抵抗率 $10\Omega\text{cm}$ のp型Si基板4上に、周知のLOCOS素子分離工程により素子分離酸化膜5を形成した後、打込みエネルギーが70, 140, 300及び450keV、各々のエネルギーでの打込み量が $2.5 \times 10^{13}$ ,

$\text{cm}^{-2}$ 打込み、窒素雰囲気中で950°C、10分のアニールを行って、基板4の表面に高濃度n型領域9を形成し、pn接合を形成した（第2図d）。その後、周知の方法を用いてパッシベーション膜10、A&電極11を形成した（第2図e）。

本実施例のキャリア濃度の深さ分布を第3図に示す。

本実施例及び従来技術により形成したpn接合ダイオードのリーク電流の面積成分（接合下面を通して流れるリーク電流）の比較を第4図に示す。

リーク電流の面積成分が大略 $1/3$ に減少しており、本発明がリーク電流の低減に有効であることがわかる。

Pイオンの打込みエネルギーを変えて、n型埋め込み層8の不純物濃度が最大となる深さを $1.7 \sim 6\mu\text{m}$ の間で変化させて、ダイオードの特性を調べた。その結果、明さ $2\mu\text{m}$ 以下の場合、p型埋め込み層7とn型埋め込み層8との間の接合の耐圧が低下していることがわかった。また、深さ $4.5\mu\text{m}$ 以上では、n型埋め込み層8の形成

$1.8 \times 10^{13}, 4.5 \times 10^{13}$ 、及び $3.5 \times 10^{13}$ 、及び $3.5 \times 10^{13} \text{ cm}^{-2}$ の多重のボロン（B）イオン打込みにより、深さ $1\mu\text{m}$ 以下の領域に $1 \times 10^{15} \text{ cm}^{-2}$ のB打込みにより、深さ $1\mu\text{m}$ 以下の領域に $1 \times 10^{15} \text{ cm}^{-2}$ のB打込み層6を形成した（第2図a）。

その後、 $0.8\text{MeV}, 2 \times 10^{13} \text{ cm}^{-2}$ のBイオン打込みを行ない、最大不純物濃度 $3 \times 10^{17} \text{ cm}^{-3}$ 、不純物濃度が深さ $1.5\mu\text{m}$ で最大となるB埋め込み層7を形成した（第2図b）。しかる後、リン（P）イオンをエネルギー $3\text{MeV}$ で $2 \times 10^{13} \text{ cm}^{-2}$ 打込み、最大不純物濃度が $8 \times 10^{17} \text{ cm}^{-3}$ 、不純物濃度が深さ $3\mu\text{m}$ で最大となるP埋め込み層8を形成した（第2図c）。

ついで、窒素雰囲気中で950°C、30分間のアニールを行い、打込んだ不純物の活性化を行った。この時、多重B打込み層6はp型層に、B埋め込み層7はp型埋め込み層に、さらに、P埋め込み層8はn型埋め込み層になった。

以上の後、Asイオンを $8.0\text{keV}$ で $5 \times 10^{15}$

は、リーク電流低減にあまり効果が見られなかつた。

これにより、n型埋め込み層8は、p型埋め込み層7の不純物濃度要最大となる深さよりも $0.5 \sim 3\mu\text{m}$ 深い領域で不純物濃度が最大となるように形成することが、最も効果的であることがわかった。

#### 〔実施例2〕

次に本発明をCMOS素子に適用した実施例について第5図を用いて説明する。

抵抗率 $10\Omega\text{cm}$ のp型Si基板4上に、周知のLOCOS素子分離工程により素子分離酸化膜5を形成した後、Si基板4の所定の領域にPイオンを $100\text{keV}$ で $4 \times 10^{13} \text{ cm}^{-2}$ 打込んだ後、 $1150^{\circ}\text{C} 1200$ 分のアニールを施してn型領域12を形成した。ついで、Si基板4のn型領域12の形成されなかった領域に上記実施例1と同じイオン打込み条件とアニール条件を用いた工程によりp型Si領域6、p型埋め込み層7及びn型埋め込み層8を形成した（第5図a）。

その後、通常の熱酸化法を用いて $15\text{ nm}$ のゲート酸化膜13、および気相化学成長法とホトエッチング法を用いて、リンドープの多結晶Siゲート電極14を形成した。その後p型Si領域6にAsイオンを $80\text{ keV}$ 、 $5 \times 10^{13}\text{ cm}^{-2}$ 打込み、n型Si領域12にBイオンを $20\text{ keV}$ 、 $5 \times 10^{13}\text{ cm}^{-2}$ 打込んだ後、 $900^\circ\text{C}$ で10分間アーニールを行い、p型及びn型Si領域6、12にそれぞれnチャネルMOSFETを形成した。しかし後、バッシャーション膜10及びA $\&$ 配線11を形成してCMOS回路を作成した(第5図b)。

本実施例によれば、領域6内に形成されたnチャネルMOSFETのソース及びドレイン接合のリーク電流が約 $1/3$ に減少し、回路の消費電力を低減するのに効果があった。

#### (実施例3)

本発明を用いd-RAMを作成した第3の実施例について第6図を用いて説明する。

上記実施例1と同じ工程により、p型Si基板

のアクセス速度を速くすることができた。

#### (実施例4)

本発明をショットキー接合ダイオードに適用した例を第7図を用いて説明する。

上記実施例1と同じ工程により、p型Si基板4にp型Si層6、p型埋め込み層7、n型埋め込み層8を形成した。その後、 $900\text{ nm}$ のSmを蒸着し、ショットキー電極18とした。その後、バッシャーション膜10、A $\&$ 配線11を形成し、ショットキー接合ダイオードを作成した。

本実施例は、実施例1における高濃度n型層9の代りにショットキー電極18を形成したこと以外は、実施例1と全く同じであり、実施例1と同様に接合のリーク電流の面積率分が $1/3$ に減少した。

#### [発明の効果]

本発明によれば、半導体装置の中で、逆方向バイアスが印加されて使用されるp-n接合の下面を通して流れるリーク電流を約 $1/3$ に減少させることができる。それによって、大規模集積回路の

4にp型Si層6、p型埋め込み層7、n型埋め込み層8を形成した。その後、電荷蓄積用キャパシタを形成する領域に、Bイオンを $150\text{ keV}$ で $1 \times 10^{13}\text{ cm}^{-2}$ 打込み、さらにAsイオンを $50\text{ keV}$ で $5 \times 10^{14}\text{ cm}^{-2}$ 打込んだ後、 $950^\circ\text{C}$ 、30分のアーニールを施してp型層16及びn型層17を形成した。しかる後、 $20\text{ nm}$ のゲート酸化膜13、 $350\text{ nm}$ のリンドープ、多結晶Si電極14を形成し、 $80\text{ keV}$ 、 $5 \times 10^{13}\text{ cm}^{-2}$ の条件でAsイオン打込みを行い、 $950^\circ\text{C}$ 、10分のアーニールを行い、n型ソース・ドレイン領域9を形成した。その後、バッシャーション膜10、A $\&$ 配線11を形成して、d-RAMを作成した。

本実施例によれば、スイッチングMOSFET及びキャパシタのp-n接合のリーク電流を減少させることができ、メモリー・セル内に蓄えられた電荷が散逸しにくくなり、情報の保持時間を約20%長くすることができた。これにより、リフレッシュ・サイクルを長くすることができ、回路

低消費電力化と高速化がはかられる。

また、本発明はショットキー接合に対してもリーク電流を低減させる効果を發揮する。

#### 4. 図面の簡単な説明

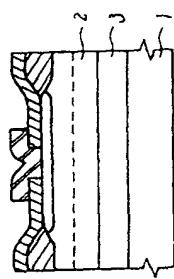
第1図は本発明の概念を示す半導体装置の断面図、第2図は本発明の一実施例になる装置製造工程の概略を示す断面図、第3図は実施例1のキャリア濃度の深さ分布を示す特性図、第4図は実施例1と従来技術による接合のリーク電流の特性図、第5、6、7図は本発明の他の実施例の装置の断面図である。

#### 符号の説明

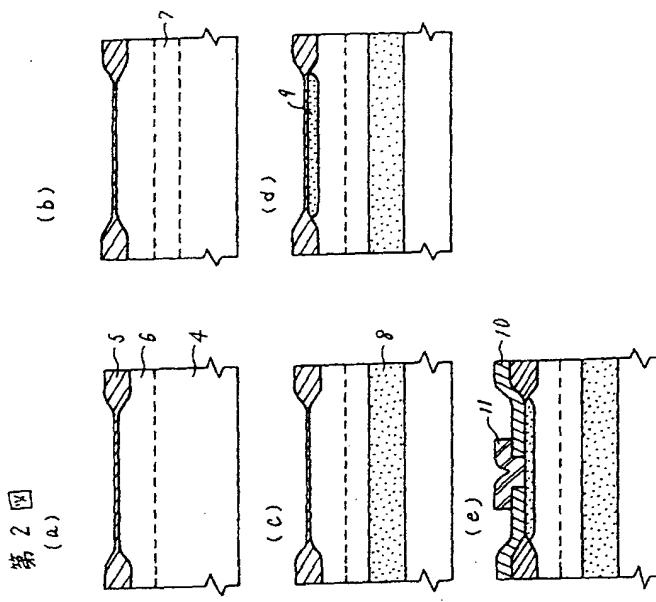
1, 4…Si基板、2…第1の埋め込み層、3…第2の埋め込み層、5, 13…酸化膜、6, 15, 17…p型Si領域、7…p型埋め込み層、8…n型埋め込み層、9, 12, 16…n型Si領域、10…バッシャーション膜、11…A $\&$ 配線、14…多結晶シリコン電極、18…ショットキー電極。

代理人弁理士 小川勝男

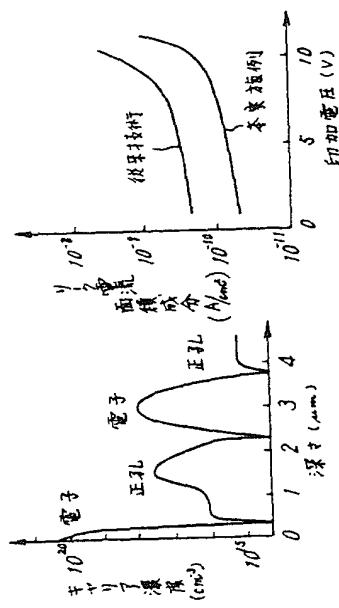
第1図



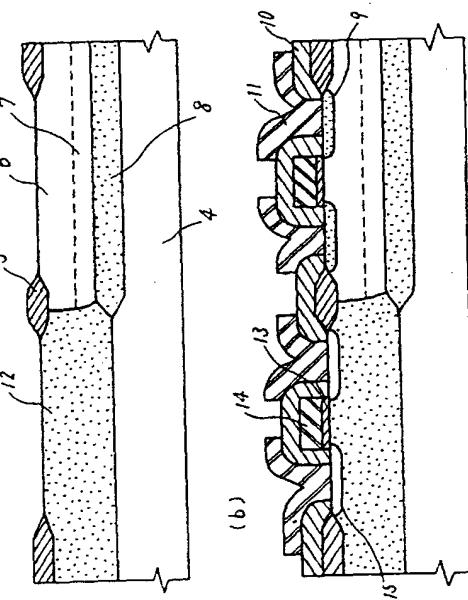
第2図



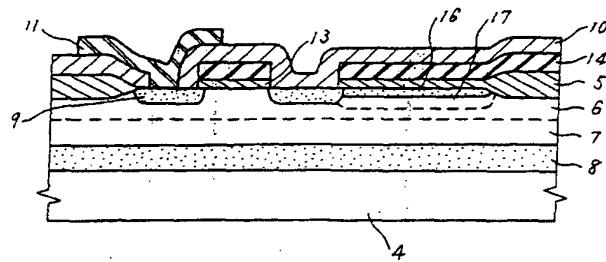
第3図



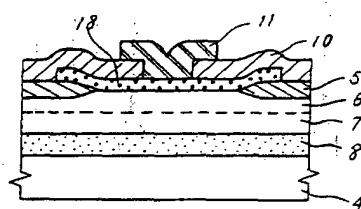
第4図



第6図



第7図



## 第1頁の続き

⑤Int. Cl.<sup>5</sup>  
 H 01 L 21/74  
 21/76  
 27/108  
 29/48  
 29/784  
 29/91

識別記号 J F  
 廃内整理番号 7638-5F  
 7638-5F  
 7638-5F

8624-5F H 01 L 27/10 325 K